

10/501430

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
24. Juli 2003 (24.07.2003)

PCT

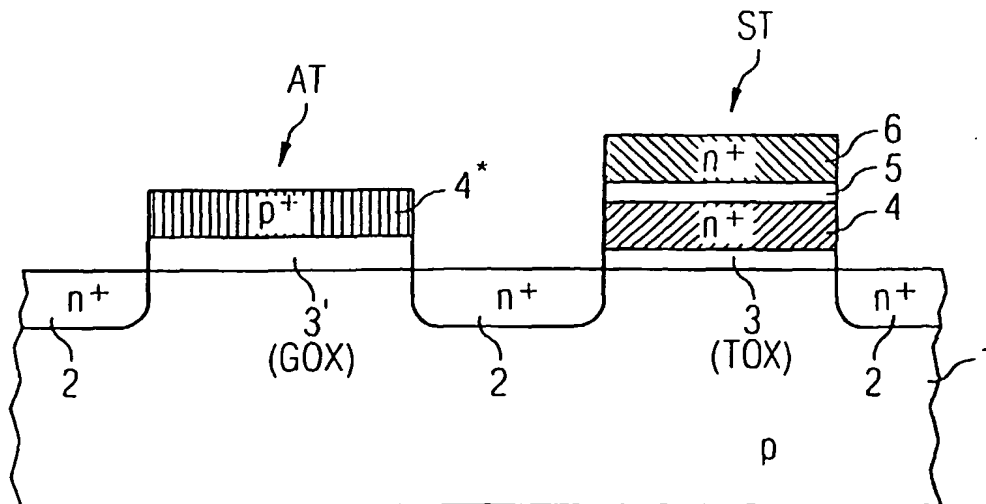
(10) Internationale Veröffentlichungsnummer  
WO 03/061011 A2

- (51) Internationale Patentklassifikation: **H01L 27/115**, 21/8246
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St. Martin-Strasse 53, 81669 München (DE).
- (21) Internationales Aktenzeichen: PCT/DE02/04521
- (72) Erfinder; und
- (22) Internationales Anmeldedatum: 10. Dezember 2002 (10.12.2002)
- (75) Erfinder/Anmelder (nur für US): **SCHULER, Franz** [DE/BE]; Lombaardenstraat 51, B-3000 Leuven (BE). **TEMPEL, Georg** [DE/BE]; Maurice Despretlaan 9, B-1933 Sterrebeek (BE).
- (25) Einreichungssprache: Deutsch
- (74) Anwalt: **KINDERMANN, Peter**; Postfach 1330, 85627 Grasbrunn (DE).
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität: 102 01 303.9 15. Januar 2002 (15.01.2002) DE
- (81) Bestimmungsstaaten (national): CN, JP, KR, US.

[Fortsetzung auf der nächsten Seite]

(54) Title: NON-VOLATILE TWO-TRANSISTOR SEMICONDUCTOR MEMORY CELL AND METHOD FOR PRODUCING THE SAME

(54) Bezeichnung: NICHTFLÜCHTIGE ZWEITRANSISTOR-HALBLEITERSPEICHERZELLE SOWIE ZUGEHÖRIGES HERSTELLUNGSVERFAHREN



(57) Abstract: The invention relates to a non-volatile two-transistor semiconductor memory cell and to a method for producing the same. In a substrate (1), source and drain regions (2) for a selection transistor (AT) and a memory transistor (ST) are configured. Said memory transistor (ST) has a first insulating layer (3), a charge storage layer (4), a second insulating layer (5) and a memory transistor control layer (6). The selection transistor (AT) comprises a first insulating layer (3') and a selection transistor control layer (4\*). The use of different materials for the charge storage layer (4) and the selection transistor control layer (4\*) allows to substantially improve the charge maintaining properties of the memory cell while maintaining constant electrical properties by adapting the substrate doping.

[Fortsetzung auf der nächsten Seite]

WO 03/061011 A2



**(84) Bestimmungsstaaten (regional):** europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR).

*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

**Veröffentlicht:**

— *ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts*

---

**(57) Zusammenfassung:** Die Erfindung betrifft eine nichtflüchtige Zweitransistor-Halbleiterspeicherzelle sowie ein zugehöriges Herstellungsverfahren, wobei in einem Substrat (1) Source- und Draingebiete (2) für einen Auswahltransistor (AT) und einen Speichertransistor (ST) ausgebildet sind. Der Speichertransistor (ST) weist eine erste Isolationsschicht (3), eine Ladungsspeicherschicht (4), eine zweite Isolationsschicht (5) und eine Speichertransistor-Steuerschicht (6) auf, während der Auswahltransistor (AT) eine erste Isolationsschicht (3') und eine Auswahltransistor-Steuerschicht (4\*) besitzt. Durch die Verwendung unterschiedlicher Materialien für die Ladungsspeicherschicht (4) und die Auswahltransistor-Steuerschicht (4\*) lassen sich die Ladungshalteeigenschaften der Speicherzelle durch Anpassung der Substratdotierung bei gleich bleibenden elektrischen Eigenschaften wesentlich verbessern.

## Beschreibung

Nichtflüchtige Zweittransistor-Halbleiterspeicherzelle sowie zugehöriges Herstellungsverfahren

5

Die vorliegende Erfindung bezieht sich auf eine nichtflüchtige Zweittransistor-Halbleiterspeicherzelle sowie ein zugehöriges Verfahren zu deren Herstellung und insbesondere auf eine nichtflüchtige Halbleiterspeicherzelle mit einem Speicher-

10

Figur 1 zeigt eine vereinfachte Schnittansicht einer derartigen herkömmlichen nichtflüchtigen Zweittransistor-Halbleiterspeicherzelle, wobei in einem Halbleitersubstrat 1, welches beispielsweise p<sup>-</sup>-dotiert ist, ein Auswahltransistor AT sowie ein Speichertransistor ST ausgebildet und über ein gemeinsames Source-/Draingebiet 2 miteinander verbunden sind.

15

20

Der Speichertransistor ST besteht üblicherweise aus einer isolierenden Tunneloxidschicht 3, einer leitenden Floating-Gate-Schicht 4, einer isolierenden dielektrischen Schicht 5 und einer leitenden Steuer-Gate-Schicht 6. Zur Speicherung von Informationen werden Ladungen vom Halbleitersubstrat 1 in die Floating-Gate-Schicht 4 eingebracht. Verfahren zum Einbringen der Ladungen in die Floating-Gate-Schicht 4 sind beispielsweise Injektion heißer Ladungsträger und Fowler-Nordheim-Tunneln.

25

30

Zum Auswählen bzw. Ansteuern des eigentlichen Speichertransistors ST besitzt die Zweittransistor-Halbleiterspeicherzelle ferner einen Auswahltransistor AT, der als Feldeffekttransistor im Wesentlichen eine Gateoxidschicht 3' und eine darüberliegende Steuer-Gate-Schicht 4 aufweist. Die Floating-Gate-Schicht des Speichertransistors und die Steuer-Gate-Schicht des Auswahltransistors bestehen üblicherweise aus dem gleichen Material wie z.B. Polysilizium, welches beispielsweise n<sup>+</sup>-dotiert ist.

35

Bei derartigen nichtflüchtigen Zweitransistor-Halbleiter-  
speicherzellen sind insbesondere die Ladungshalteeigenschaf-  
ten für den Einsatz und die Zuverlässigkeit von großer Bedeu-  
5 tung. Diese Ladungshalteeigenschaften sind üblicherweise  
durch (anormalen) Ladungsverlust begrenzt, der sich auf Grund  
von Leckphänomenen ergibt. Dieser Ladungsverlust geschieht  
beispielsweise auf Grund von Traps bzw. Störstellen innerhalb  
des Tunneloxids 3, wobei ein Tunnelmechanismus durch diese  
10 Störstellen bzw. Traps unterstützt wird (trap assisted tunne-  
ling). Zur Vermeidung von derartigen Leckströmen bzw. zur  
Verbesserung der Ladungshalteeigenschaften werden üblicher-  
weise die Schichtdicken für die Tunneloxidschicht 3 und/oder  
die dielektrische Schicht 5 erhöht, wodurch sich jedoch die  
15 elektrischen Eigenschaften der Speicherzelle verschlechtern  
und insbesondere die Betriebsspannungen zum Lesen, Schreiben  
und/oder Löschen der Speicherzelle angehoben werden müssen.

Der Erfindung liegt daher die Aufgabe zu Grunde eine nicht-  
20 flüchtige Zweitransistor-Halbleiterspeicherzelle sowie ein  
zugehöriges Herstellungsverfahren zu schaffen, welches ver-  
besserte Ladungshalteeigenschaften aufweist.

Erfindungsgemäß wird diese Aufgabe hinsichtlich der Speicher-  
25 zelle durch die Merkmale des Patentanspruchs 1 und hinsicht-  
lich des Verfahrens durch die Maßnahmen des Patentanspruchs 8  
gelöst.

Insbesondere durch die unterschiedliche Beschaffenheit der  
30 Ladungsspeicherschicht im Speichertransistor und der Auswahl-  
transistor-Steuerschicht im Auswahltransistor zur unabhängigen  
Optimierung der zugehörigen Schwellwertspannungen, kann  
ohne Verschlechterung der elektrischen Eigenschaften der  
Speicherzelle eine Verbesserung der Ladungshalteeigenschaften  
35 im Speichertransistor realisiert werden.

Vorzugsweise weisen die Auswahltransistor-Steuerschicht (4\*) und die Ladungsspeicherschicht (4) ein unterschiedliches Material oder insbesondere bei gleichem Halbleitermaterial eine unterschiedliche Dotierung auf. Auf diese Weise kann im Speichertransistor gezielt eine Feldverringern und damit eine Verbesserung der Ladungshaltung bewirkt werden, während der Auswahltransistor eine im Wesentlichen unveränderte Einsatzspannung bzw. Schwellwertspannung aufweist.

10 Vorzugsweise wird ein Halbleitersubstrat mit erhöhter Dotierung verwendet, wobei die Auswahltransistor-Steuerschicht und die Ladungsspeicherschicht ein Halbleitermaterial mit unterschiedlicher Dotierung aufweisen. Dadurch können die elektrischen Felder im Speichertransistor und damit ein auf (z.B. durch Störstellen (traps) verursachtes) Tunneln basierender Leckstrom verringert werden, da dieser Tunnelstrom exponentiell abhängig vom elektrischen Feld ist. Andererseits wird die sich daraus ergebende Einsatzspannungsverschiebung durch eine Anpassung der Austrittsarbeiten in der Auswahltransistor-Steuerschicht durch eine entgegengesetzte Dotierung kompensiert, wodurch die absolute Schwellwertspannung des Auswahltransistors AT reduziert wird und damit der Lesestrom durch die gesamte Zelle erhöht wird. Dies wiederum erlaubt einfachere Auswerteschaltungen auf dem Chip.

25 Alternativ zur Erhöhung der Dotierstoffkonzentration im Substrat kann auch lediglich oder zusätzlich das Kanalgebiet bzw. eine Oberfläche des Substrats stärker dotiert werden. Ferner kann alternativ zur gesamten Dotierung des Substrats oder zur Oberflächendotierung auch eine erhöhte Wannendotierung zur Modifikation der Schwellwertspannung verwendet werden.

35 Hinsichtlich des Verfahrens werden vorzugsweise sowohl für den Auswahltransistor als auch den Speichertransistor eine erste Isolationsschicht, eine elektrisch leitende Halbleiterschicht, eine zweite Isolationsschicht und eine weitere

elektrisch leitende Schicht ausgebildet und derart strukturiert, dass sich die beiden Transistoren mit dazwischen liegenden Source- und Draingebieten im Halbleitersubstrat ergeben. Lediglich für die elektrisch leitende Halbleiterschicht des Auswahltransistors ist hierbei eine entgegengesetzte Dotierung alternativ oder zusätzlich anzuwenden, um die Schwellwertspannung zu verringern. Auf diese Weise kann eine nichtflüchtige Zweitransistor-Halbleiterspeicherzelle mit verbesserten Ladungshalteeigenschaften besonders kostengünstig hergestellt werden.

In den weiteren Unteransprüchen sind weitere vorteilhafte Ausgestaltungen der Erfindung gekennzeichnet.

Die Erfindung wird nachstehend anhand eines Ausführungsbeispiels unter Bezugnahme auf die Zeichnung näher beschrieben.

Es zeigen:

Figur 1 eine vereinfachte Schnittansicht einer herkömmlichen nichtflüchtigen Zweitransistor-Halbleiterspeicherzelle;

Figur 2 eine vereinfachte Schnittansicht einer erfindungsgemäßen nichtflüchtigen Zweitransistor-Halbleiterspeicherzelle;

Figuren 3A bis 3D vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Herstellungsschritte der erfindungsgemäßen nichtflüchtigen Zweitransistor-Halbleiterspeicherzelle;

Figur 4a und 4B vereinfachte graphische Darstellungen zur Veranschaulichung einer Abhängigkeit der Schwellwertspannungen von der Zeit aufgrund von Ladungsverlusten; und

Figuren 5A bis 5C vereinfachte graphische Darstellungen zur Veranschaulichung der Auswirkungen einer Änderung der Aus-

trittsarbeit auf die Schwellwertspannungen im Auswahltransistor und Speichertransistor.

Figur 2 zeigt eine vereinfachte Schnittansicht einer nicht-flüchtigen Zweitransistor-Halbleiterspeicherzelle gemäß der vorliegenden Erfindung, wobei gleiche Bezugszeichen gleiche oder ähnliche Schichten bezeichnen wie in Figur 1.

Gemäß Figur 2 wird in einem Substrat 1, welches beispielsweise aus einem p-dotierten Silizium-Halbleitermaterial besteht, ein Auswahltransistor AT und ein Speichertransistor ST ausgebildet, welche über ein gemeinsames Source-/Draingebiet 2 miteinander verbunden sind. Der Speichertransistor ST besitzt eine erste Speichertransistor-Isolationsschicht 3, die vorzugsweise eine Tunneloxidschicht TOX aufweist und ca. 10 nm dick ist. An der Oberfläche dieser ersten Speichertransistor-Isolationsschicht 3, die beispielsweise aus einer thermisch ausgebildeten  $\text{SiO}_2$ -Schicht besteht befindet sich eine Ladungsspeicherschicht 4, die beispielsweise eine  $n^+$ -dotierte Polysiliziumschicht aufweist. Darüber liegend ist eine zweite Speichertransistor-Isolationsschicht 5 angeordnet, die die Ladungsspeicherschicht 4 von einer darüber angeordneten Speichertransistor-Steuerschicht 6 isoliert. Die Speichertransistor-Steuerschicht 6 kann ebenfalls beispielsweise  $n^+$ -dotiertes Polysilizium aufweisen und stellt im Wesentlichen eine Wortleitung der Speicherzelle dar. Die zweite Speichertransistor-Isolationsschicht 5 wird auch als Interpoly-Dielektrikum bezeichnet und kann beispielsweise eine ONO-Schichtenfolge (Oxid-Nitrid-Oxid) aufweisen.

Der Auswahltransistor AT besteht seinerseits aus einer an der Oberfläche des Substrats 1 bzw. zwischen den Source- und Draingebieten 2 liegenden Kanalgebiets ersten Auswahltransistor-Isolationsschicht 3' und einer Auswahltransistor-Steuerschicht 4\*. Die Auswahltransistor-Isolationsschicht 3' besteht vorzugsweise aus einer Gateoxidschicht GOX. Die Auswahltransistor-Steuerschicht 4\* besteht ebenfalls aus einer

elektrisch leitenden Schicht und beispielsweise aus einer  $p^+$ -dotierten Polysiliziumschicht.

Der wesentliche Unterschied der erfindungsgemäßen Speicherzelle ergibt sich nunmehr aus der modifizierten Dotierung des Substrates und der sich daraus ergebenden modifizierten natürlichen Einsatzspannungen in Kombination mit der Wahl unterschiedlicher Materialien bzw. unterschiedlicher Dotierungen fuer die Ladungsspeicherschicht 4 und die Auswahltransistor-Steuerschicht 4\*. Auf Grund einer erhöhten Dotierung des Substrats 1 von  $p^-$  beispielsweise auf  $p$  oder  $p^+$  bei gleichbleibenden Dotierungen fuer die Ladungsspeicherschicht 4 und die Speichertransistor-Steuerschicht 6 erhält man eine erhöhte Schwellwertspannung des Speichertransistors ST. Wie später im Einzelnen beschrieben wird, ergibt sich durch diese Anpassung der Schwellenwertspannung im Speichertransistor ST die Möglichkeit, die Ladungshalteeigenschaften zu optimieren. Andererseits erhält man im Auswahltransistor AT eine Verringerung der Schwellwertspannung durch eine zur Ladungsspeicherschicht 4 entgegengesetzte Dotierung. Genauer gesagt wird durch die  $p^+$ -Dotierung der Auswahltransistor-Steuerschicht 4\* die Erhöhung dessen Schwellwertspannung kompensiert, wodurch sich im Wesentlichen eine erniedrigte Schwellwertspannung im Auswahltransistor ergibt und somit eine nicht dargestellte Auswerteschaltung zum Auswerten der Speicherzelle einfacher verwirklicht werden kann.

Wesentlich fuer das vorliegende Konzept ist demnach, dass im Speichertransistor ST die Schwellwertspannung ueber die Substrat-, Wannen- und/oder Kanaldotierung bzgl. Ladungshaltung optimiert werden kann und dass die sich dadurch fuer den Auswahltransistor ergebenden Nachteile durch eine der Ladungsspeicherschicht entgegengesetzten Dotierung kompensiert werden können. Dadurch können die fuer das Tunneln verantwortlichen elektrischen Felder im Speichertransistor verringert werden, wodurch sich eine verbesserte Ladungshalteeigenschaft ergibt, wobei hinsichtlich einer Außenbeschaltung die elekt-



rischen Eigenschaften der Zelle unverändert bleiben, da im Auswahltransistor AT diese Schwellwertverschiebung wieder kompensiert wird.

- 5 Obwohl vorstehend ein gleiches Material (Polysilizium) mit unterschiedlicher Beschaffenheit (Dotierung) verwendet wurde, erhält man den gleichen Effekt auch bei Einsatz von unterschiedlichen Materialien (unterschiedliche Metalle, Halbleiter usw.) für die Ladungsspeicherschicht 4 und die Auswahltransistor-Steuerschicht 4\*.

10 Eine genaue Erläuterung der vorstehend beschriebenen Zusammenhänge erfolgt nachstehend, wobei jedoch zunächst ein mögliches Verfahren zur Herstellung einer derartigen nichtflüchtigen Zweittransistor-Halbleiterspeicherzelle beschrieben wird.

Figuren 3A bis 3D zeigen vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Herstellungsschritte der erfindungsgemäßen nichtflüchtigen Zweittransistor-Halbleiterspeicherzelle, wobei gleiche Bezugszeichen gleiche oder ähnliche Schichten bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

- 25 Gemäß Figur 3A wird zunächst auf einem Substrat 1, welches beispielsweise ein Silizium-Halbleitersubstrat mit einer erhöhten p-Dotierung aufweist eine erste Isolationsschicht 3 sowohl in einem Auswahltransistor-Bereich als auch in einem Speichertransistor-Bereich ausgebildet. Diese erste Isolationsschicht 3 bzw. 3' besteht beispielsweise aus einem thermisch ausgebildeten Siliziumdioxid. Ein positiver Effekt einer ausreichend dicken ersten Isolationsschicht bzw. Gateoxidschicht 3' im Auswahltransistor-Bereich ist die Vermeidung einer Dotierstoff- beispielsweise Bor-Penetration in das Substrat 1, die sich aus einer nachfolgenden Dotierung ergeben kann.

Nachfolgend wird an der Oberfläche eine elektrisch leitende Halbleiterschicht 4 bzw. 4\* (z.B. Polysiliziumschicht) ausgebildet, wobei diese Schicht beispielsweise durch eine Maske im Bereich des Speichertransistors ST eine zur Dotierung des Substrats 1 entgegengesetzte Dotierung wie z.B. eine n<sup>+</sup>-Dotierung aufweist. Demgegenüber kann beispielsweise durch eine Maskierung die elektrisch leitende Halbleiterschicht 4\* mit einer zum Substrat 1 gleichen Dotierung vom ersten Leitungstyp dotiert werden wie z.B. einer p<sup>+</sup>-Dotierung. Auf diese Weise werden bereits die vorstehend beschriebenen Einsatzspannungen bzw. Schwellwertspannungen in den verschiedenen Bereichen unterschiedlich eingestellt, wobei vorzugsweise eine Schwellwertspannung im Auswahltransistor-Bereich derart eingestellt ist, dass sich kein Unterschied zum Auswahltransistor einer herkömmlichen nichtflüchtigen Zweitransistor-Halbleiterspeicherzelle ergibt, wodurch z.B. bereits existierende Auswerteschaltungen bzw. -konzepte problemlos übernommen werden können.

Alternativ kann jedoch auch eine überlagerte Dotierung stattfinden, wobei beispielsweise zunächst eine n-dotierte elektrisch leitende Schicht sowohl für den Auswahltransistor-Bereich als auch für den Speichertransistor-Bereich (beispielsweise insitu dotiert) abgeschieden wird und anschließend für den Auswahltransistor-Bereich eine Gegendotierung beispielsweise mit einer maskierten Implantation erfolgt. Grundsätzlich kann die erste ganzflächige Dotierung auch durch eine ganzflächige Implantierung oder eine sonstige Dotierung durchgeführt werden.

Die Herstellung der verschieden dotierten Polyschichten 4 und 4\* erfolgt vorzugsweise mittels herkömmlicher Fototechnik und Implantation, wobei eine davon ganzflächig erfolgen kann und nur die zweite beispielsweise mittels Fototechnik maskiert wird. Somit erfolgt bei dieser Dotierung eine Überkompensation der ersten Dotierung. Für die p-Dotierung der elektrisch leitenden Halbleiterschicht 4\* im Auswahltransistor-Bereich

wird üblicherweise Bor verwendet, während für die n-Dotierung im Speichertransistor-Bereich üblicherweise eine Phosphor- oder Arsen-Dotierung durchgeführt wird.

- 5 Gemäß Figur 3B wird in einem nachfolgenden Schritt eine zweite Isolationsschicht 5 an der Oberfläche der elektrisch leitenden Halbleiterschicht 4 bzw. 4\* ausgebildet, wobei diese zumindest im Speichertransistor-Bereich ausgebildet werden muss. Diese zweite Isolationsschicht 5 wird üblicherweise als
- 10 Inter-Poly-Dielektrikum bezeichnet und kann beispielsweise eine ONO-Schichtenfolge aufweisen, wodurch sich besonders gute Isolationseigenschaften bei guter kapazitiver Ankopplung realisieren lassen und insbesondere Leckströme zu einer nachfolgend ausgebildeten weiteren elektrisch leitenden Schicht 6
- 15 verhindert werden. Die weitere elektrisch leitende Schicht 6 besteht beispielsweise wiederum aus einer n<sup>+</sup>-dotierten Polysiliziumschicht, die mit einem herkömmlichen Verfahren abgeschieden oder aufgewachst wird.
- 20 Abschließend wird eine Maskenschicht 7 an der Oberfläche von zumindest der weiteren elektrisch leitenden Schicht 6 im Speichertransistor-Bereich ST und der elektrisch leitenden Halbleiterschicht im Auswahltransistor-Bereich AT ausgebildet und strukturiert, wobei beispielsweise eine herkömmliche
- 25 Hartmaskenschicht verwendet werden kann.

- Gemäß Figur 3C wird nunmehr unter Verwendung der strukturierten Maskenschicht 7 zunächst die weitere elektrisch leitende Schicht 6 teilweise entfernt, wodurch man zunächst die Wort-
- 30 leitungen der Speichertransistoren ST und darüber hinaus durch weiteres Entfernen der Schichten bis zur elektrisch leitenden Halbleiterschicht 4 bzw. 4\* auch die Leitungen der Auswahlgates der Auswahltransistoren erhält. Zum Entfernen dieser Schichten 4 bzw. 4\*, 5 und 6 kann ein jeweils verfügbares Standardätzverfahren verwendet werden, wobei insbeson-
- 35 dere anisotrope Ätzverfahren in Betracht kommen, die selektiv

zur ersten Isolationsschicht 3, 3' und zur Maskenschicht 7 wirken.

5 Gemäß Figur 3D wird in einem abschließenden Herstellungsschritt eine selbstjustierende Implantation I zur Realisierung der Source-/Draingebiete 2 durchgeführt, wobei zur Herstellung eines NMOS-Transistors eine  $n^+$ -Dotierung beispielsweise mittels Phosphor oder Arsen erfolgt. Weitere Herstellungsschritte zu Fertigstellung der Zweittransistor-Halbleiterspeicherzelle werden nachfolgend nicht beschrieben, da  
10 sie allgemein bekannt sind.

Die für den Auswahltransistor AT nicht benötigten Schichten 5, 6 und 7 bleiben hierbei unbeschaltet oder können in einem  
15 nachfolgenden Verfahrensschritt entfernt werden. Auf diese Weise erhält man eine nichtflüchtige Zweittransistor-Halbleiterspeicherzelle mit verbesserten Ladungshalteeigenschaften, die auf besonders einfache Art und Weise hergestellt werden kann.

20 Zur Veranschaulichung der Wirkungsweise der erfindungsgemäßen Speicherzelle werden anhand von Figuren 4A und 4B die Einflüsse einer Schwellwertspannung im Speichertransistor auf die Ladungshalteeigenschaften beschrieben.

25 Figur 4A zeigt eine graphische Darstellung der in einer Speicherzelle maßgeblichen Schwellwertspannungen und ihre zeitliche Abhängigkeit, wenn die Speicherzelle (anomale) Ladungsverlusteffekte zeigt.

30 Gemäß Figur 4A ist mit  $V_{th,uv}$  eine Einsatzspannung bzw. Schwellwertspannung des Speichertransistors ST in einem ungeladenen Zustand (z.B. nach einem UV-Löschen) dargestellt. Die Äste  $V_{th,st}$  zeigen die Schwellwertspannung des Speichertransistors ST im geladenen Zustand bzw. den transienten Verlauf  
35 der Einsatzspannung bis hin zum sogenannten ungeladenen Zustand, bei dem sich in der ladungsspeichernden Schicht 4 kei-

nerlei Ladungen befinden. Diese Entladung ergibt sich im Wesentlichen durch z.B. störsstellenunterstütztes Tunneln (trap assisted tunneling) hervorgerufene Leckströme.

5 Mit  $V_{th,A}$  ist eine Schwellwertspannung einer üblicherweise notwendigen Auswerteschaltung für die Speicherzelle dargestellt, die mehr oder weniger hoch bzw. fein sein kann. Grundsätzlich gilt jedoch, dass eine zugehörige Auswerteschaltung besonders einfach und kostengünstig hergestellt  
10 werden kann, je höher diese Spannung  $V_{th,A}$  ist. Andererseits zeigt die Figur 4A, dass je höher diese Schwellwertspannung  $V_{th,A}$  ist, um so früher ein Zeitpunkt  $t_{max}$  erreicht wird, zu dem ein abgespeichertes Bit nur noch fehlerhaft von der Auswerteschaltung erkannt wird.

15

Mit der vorliegenden Erfindung erfolgt nunmehr eine Anhebung der Einsatzspannung  $V_{th,uv}$  des Speichertransistors ST im ungeladenen Zustand sowie seiner zugehörigen Entladekurven  $V_{th,st}$  durch beispielsweise die vorstehend beschriebene Erhöhung einer Substratdotierung, einer Kanalgebietdotierung, und/oder  
20 einer Wannendotierung. Als Ergebnis dieser Anhebung der Einsatzspannung  $V_{th,uv}$  erhält man die in Figur 4B dargestellte Idealkurve, wobei man eine verbesserte Ladungshalteeigenschaft erhält, da die Schwellwertspannung  $V_{th,A}$  der Auswerteschaltung mit der Schwellwertspannung  $V_{th,uv}$  des Speichertransistors zusammenfällt.

25

Figuren 5A bis 5C zeigen graphische Darstellungen zur weiteren Veranschaulichung der erfindungsgemäßen Schwellwertänderungen auf Grund der Änderungen der Substratdotierung bzw.  
30 der entgegengesetzten Gate-Dotierung des Auswahltransistors (unterschiedliche Beschaffenheit von Ladungsspeicherschicht und Auswahltransistor-Steuerschicht).

35

Figur 5A zeigt eine graphische Darstellung der Schwellwertspannungen  $V_{th}$  für einen Auswahltransistor AT und einen Speichertransistor ST, wobei sich auf Grund von Kopplungseffekten

der unterschiedlichen Isolationsschichten GOX und TOX sowie der Schicht 5 in den jeweiligen Bereichen bereits ein Unterschied der jeweiligen Schwellwertspannungen ergibt. Im Regelfall besitzt der im gleichen Substrat 1 ausgebildete Speichertransistor ST einen höheren Schwellwert  $V_{th}$  als der zugehörige Auswahltransistor AT.

Gemäß Figur 5B wird nunmehr die Wirkung der Erhöhung der Substratdotierung beschrieben, wobei durch die erhöhte Dotierung im Substrat 1, durch eine erhöhte Wannendotierung und/oder eine erhöhte Oberflächendotierung beide Schwellwertspannungen gleichermaßen angehoben werden. Auf diese Weise erhält man zwar bereits die in Figur 4B verbesserten Ladungshalteeigenschaften im Speichertransistor ST, jedoch sind die elektrischen Eigenschaften der Speicherzelle insbesondere auf Grund der erhöhten Schwellwertspannungen im Auswahltransistor wesentlich verschlechtert.

Gemäß Figur 5C erfolgt demzufolge eine Korrektur der Schwellwertanhebung im Auswahltransistor AT, die im Wesentlichen durch eine Erhöhung der Austrittsarbeit für Elektronen in der Steuerschicht beispielsweise durch eine entgegengesetzte p-Dotierung erfolgt. Durch diese Änderung der Austrittsarbeit lediglich im Auswahltransistor AT wird demzufolge die Schwellwertspannung  $V_{th}$  in diesem Bereich wieder zurückgedrückt, wodurch man eine dem Ausgangszustand ähnliche Schwellwertspannung und somit ähnlich gute elektrische Eigenschaften der Speicherzelle erhält. Auf diese Weise können die Ladungshalteeigenschaften in einer Zweittransistor-Halbleiterspeicherzelle ohne Beeinflussung der elektrischen Eigenschaften oder einer notwendigen Auswerteschaltung wesentlich verbessert werden.

Die Erfindung wurde vorstehend anhand einer NMOS-Speicherzelle beschrieben. Sie ist jedoch nicht darauf beschränkt und umfasst in gleicher Weise PMOS- oder eine Kombination von PMOS- und NMOS-Zellen bzw. Transistoren. In gleicher Weise

13

ist die Erfindung nicht auf Silizium-Halbleitermaterialien beschränkt, sondern umfasst alle weiteren Halbleitermaterialien, mit denen gezielt eine Schwellwertspannung zur Verbesserung der Ladungshalteeigenschaften verändert werden kann.

- 5 In gleicher Weise kann für die Ladungsspeicherschicht, die Speichertransistor-Steuerschicht und die Auswahltransistor-Steuerschicht nicht nur ein Halbleitermaterial verwendet werden, sondern in gleicher Weise ein alternatives Material wie z.B. Metalle.

10

## Patentansprüche

1. Nichtflüchtige Zweittransistor-Halbleiterspeicherzelle mit

5 einem Speichertransistor (ST) mit einer vorbestimmten Schwellwertspannung, der in einem Substrat (1) ein Source- und Draingebiet (2) mit einem dazwischen liegenden Kanalgebiet aufweist, wobei an der Oberfläche des Kanalgebiets eine erste Speichertransistor-Isolationsschicht (3), eine Ladungsspeicherschicht (4), eine zweite Speichertransistor-Isolationsschicht (5) und eine Speichertransistor-Steuerschicht (6) ausgebildet ist; und  
10 einem Auswahltransistor (AT) mit einer vorbestimmten Schwellwertspannung, der im Substrat (1) ein Source- und Draingebiet (2) mit einem dazwischen liegenden Kanalgebiet aufweist, wobei an der Oberfläche des Kanalgebiets eine erste Auswahltransistor-Isolationsschicht (3') und eine Auswahltransistor-Steuerschicht (4\*) ausgebildet ist,  
15 d a d u r c h g e k e n n z e i c h n e t, dass zur unabhängigen Optimierung der Schwellwertspannungen ( $V_{th}$ ) des Speichertransistors (ST) und des Auswahltransistors (AT) die Auswahltransistor-Steuerschicht (4\*) unterschiedlich zur Ladungsspeicherschicht (4) ausgebildet ist.

25 2. Nichtflüchtige Zweittransistor-Halbleiterspeicherzelle nach Patentanspruch 1,  
d a d u r c h g e k e n n z e i c h n e t, dass die Auswahltransistor-Steuerschicht (4\*) und die Ladungsspeicherschicht (4) ein unterschiedliches Material und/oder eine  
30 unterschiedliche Dotierung aufweisen.

3. Nichtflüchtige Zweittransistor-Halbleiterspeicherzelle nach Patentanspruch 1 oder 2,  
d a d u r c h g e k e n n z e i c h n e t, dass  
35 das Substrat (1) ein Halbleitermaterial mit einer Dotierung vom ersten Leitungstyp (p),



die Auswahltransistor-Steuerschicht (4\*) ein Halbleitermaterial mit einer Dotierung vom ersten Leitungstyp (p), und die Ladungsspeicherschicht (4) ein Halbleitermaterial mit einer zum ersten Leitungstyp entgegengesetzten Dotierung vom zweiten Leitungstyp (n) aufweist.

4. Nichtflüchtige Zweittransistor-Halbleiterspeicherzelle nach einem der Patentansprüche 1 bis 3, dadurch gekennzeichnet, dass eine Erhöhung der Dotierstoffkonzentration vom ersten Leitungstyp (p) im Substrat (1), den Kanalgebieten oder einem Wannengebiet erfolgt.

5. Nichtflüchtige Zweittransistor-Halbleiterspeicherzelle nach einem der Patentansprüche 1 bis 4, dadurch gekennzeichnet, dass die erste Speichertransistor-Isolationsschicht (3) und die erste Auswahltransistor-Isolationsschicht (3') eine SiO<sub>2</sub>-Schicht aufweisen.

6. Nichtflüchtige Zweittransistor-Halbleiterspeicherzelle nach einem der Patentansprüche 1 bis 5, dadurch gekennzeichnet, dass die Ladungsspeicherschicht (4) und die Auswahltransistor-Steuerschicht (4\*) eine Polysilizium-Schicht und/oder eine metallische Schicht aufweisen.

7. Nichtflüchtige Zweittransistor-Halbleiterspeicherzelle nach einem der Patentansprüche 1 bis 6, dadurch gekennzeichnet, dass der Speichertransistor (ST) und der Auswahltransistor (AT) einen NMOS- und/oder einen PMOS-Transistor darstellen.

8. Verfahren zur Herstellung einer nichtflüchtigen Zweittransistor-Halbleiterspeicherzelle mit den Schritten:  
a) Ausbilden einer ersten Isolationsschicht (3, 3') für einen Auswahltransistor (AT) und einen Speichertransistor (ST)

auf einem Halbleitersubstrat (1), das eine Dotierung vom ersten Leitungstyp (p) aufweist;

b) Ausbilden einer Halbleiterschicht (4) an der Oberfläche der ersten Isolationsschicht (3, 3'), die in einem Bereich des Auswahltransistors (AT) eine Dotierung vom ersten Leitungstyp (p) und in einem Bereich des Speichertransistors (ST) eine zum ersten Leitungstyp entgegengesetzte Dotierung vom zweiten Leitungstyp (n) aufweist;

c) Ausbilden einer zweiten Isolationsschicht (5) an der Oberfläche der elektrisch leitenden Halbleiterschicht (4) zumindest im Bereich des Speichertransistors (ST);

d) Ausbilden einer weiteren elektrisch leitenden Schicht (6) an der Oberfläche der zweiten Isolationsschicht (5) zumindest im Bereich des Speichertransistors (ST);

e) Ausbilden und Strukturieren einer Maskenschicht (7);

f) Ausbilden von Schichtstapeln im Bereich des Auswahltransistors (AT) und des Speichertransistors (ST) unter Verwendung der strukturierten Maskenschicht (7); und

g) Ausbilden von Source- und Draingebieten (2) mit einer Dotierung vom zweiten Leitungstyp (n) unter Verwendung der Schichtstapel als Maske.

9. Verfahren nach Patentanspruch 8,

d a d u r c h g e k e n n z e i c h n e t, dass in Schritt a) ein Halbleitersubstrat (1) mit erhöhter Grunddotierung, Wannendotierung und/oder Oberflächendotierung vom ersten Leitungstyp (p) verwendet wird.

10. Verfahren nach einem der Patentansprüche 8 oder 9,

d a d u r c h g e k e n n z e i c h n e t, dass in Schritt a) im Bereich des Speichertransistors (ST) eine Tunneloxidschicht (TOX) und im Bereich des Auswahltransistors (AT) eine Gateoxidschicht (GOX) ausgebildet wird.

11. Verfahren nach einem der Patentansprüche 9 bis 10,

d a d u r c h g e k e n n z e i c h n e t, dass in Schritt b) eine Polysilizium-Schicht abgeschieden wird und die unter-

schiedliche Dotierung im Bereich des Auswahltransistors (AT) und des Speichertransistors (ST) durch eine maskierte Implantation erfolgt.

- 5 12. Verfahren nach einem der Patentansprüche 9 bis 11,  
dadurch gekennzeichnet, dass in Schritt  
c) eine ONO-Schichtenfolge ausgebildet wird.
- 10 13. Verfahren nach einem der Patentansprüche 9 bis 12,  
dadurch gekennzeichnet, dass in Schritt  
d) eine weitere Polysilizium-Schicht abgeschieden wird, die  
eine Dotierung vom zweiten Leitungstyp (n) aufweist.
- 15 14. Verfahren nach einem der Patentansprüche 9 bis 13,  
dadurch gekennzeichnet, dass in Schritt  
e) eine Hartmaskenschicht ausgebildet wird.
- 20 15. Verfahren nach einem der Patentansprüche 9 bis 14,  
dadurch gekennzeichnet, dass in Schritt  
f) ein anisotropes Ätzverfahren durchgeführt wird.
16. Verfahren nach einem der Patentansprüche 9 bis 15,  
dadurch gekennzeichnet, dass in Schritt  
g) eine Ionenimplantation (I) durchgeführt wird.

FIG 1 Stand der Technik

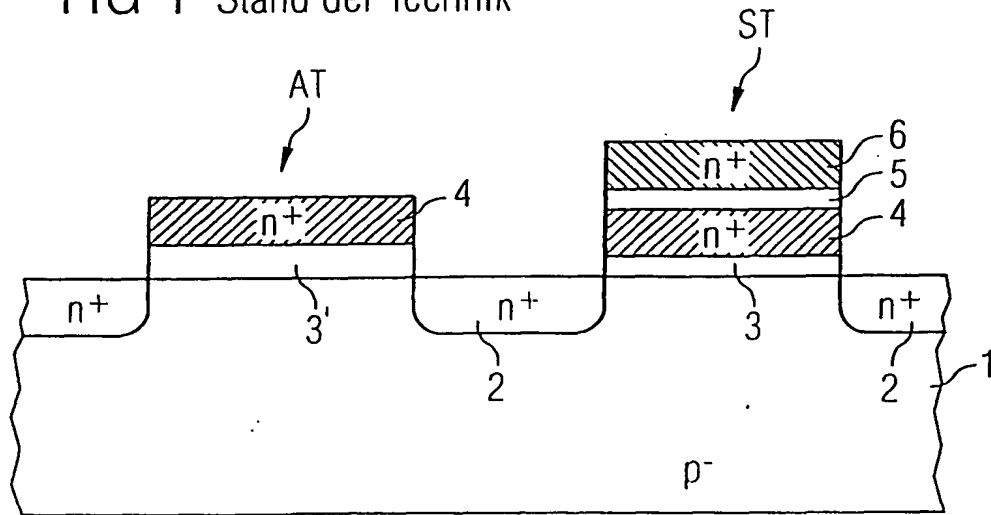


FIG 2

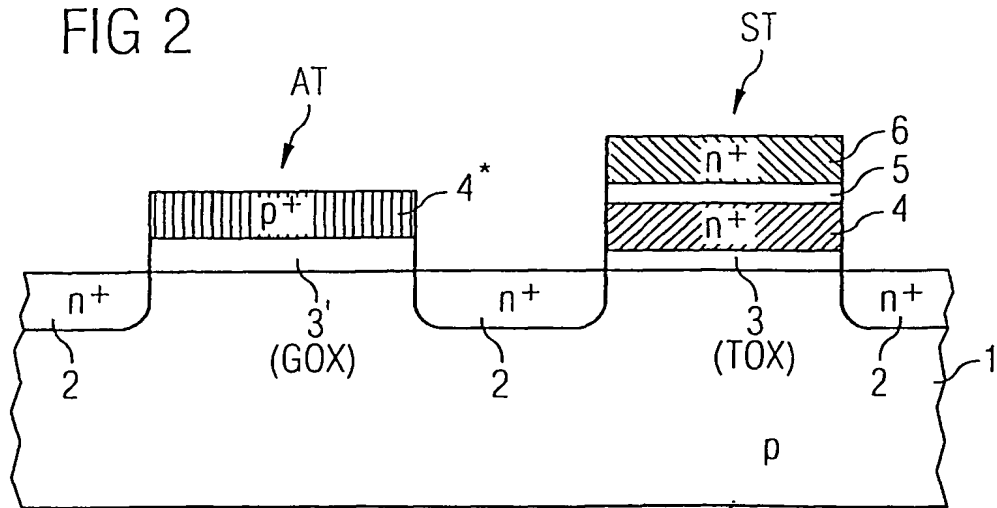


FIG 3A

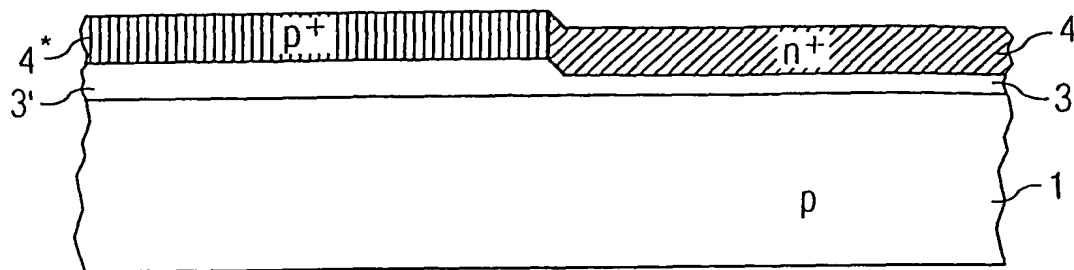


FIG 3B

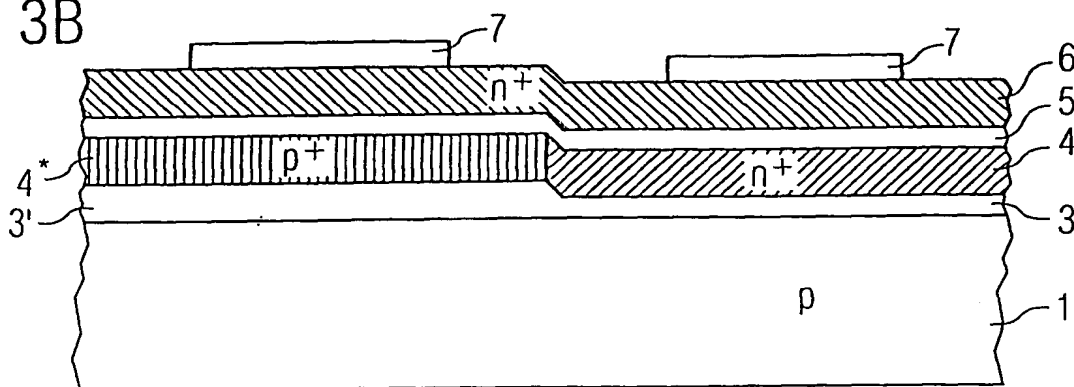


FIG 3C

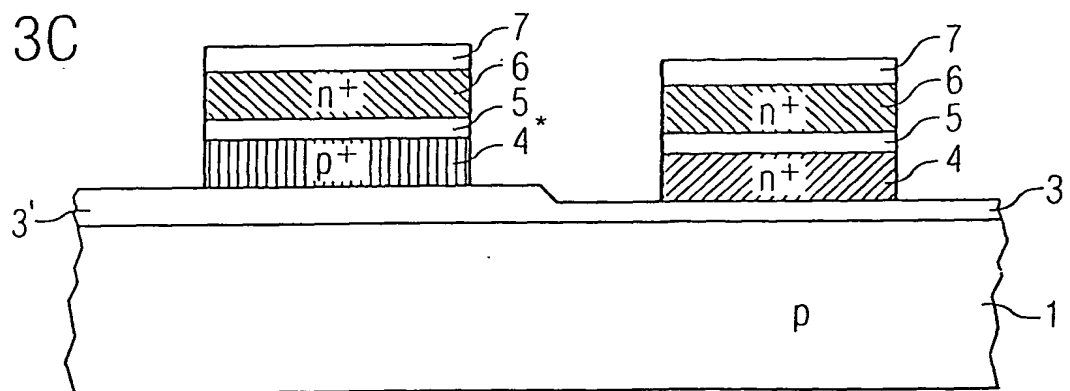


FIG 3D

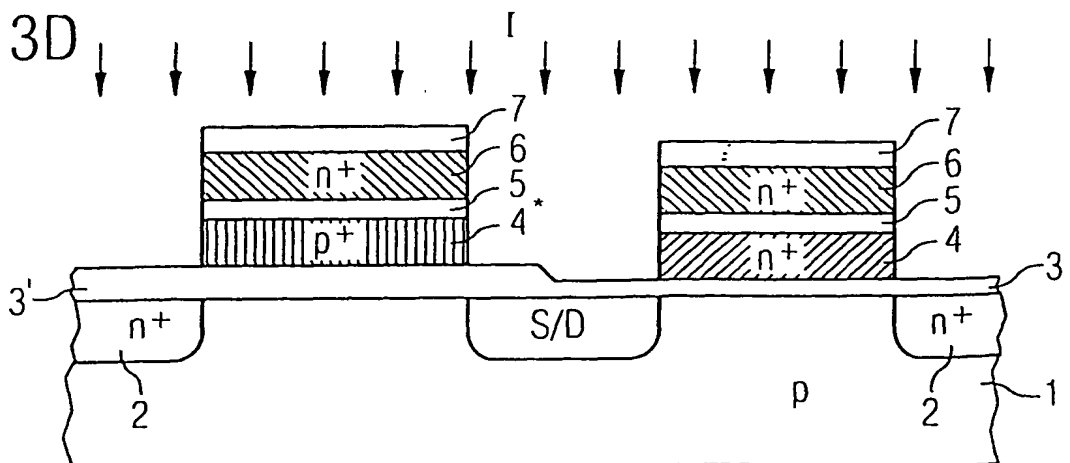


FIG 4A

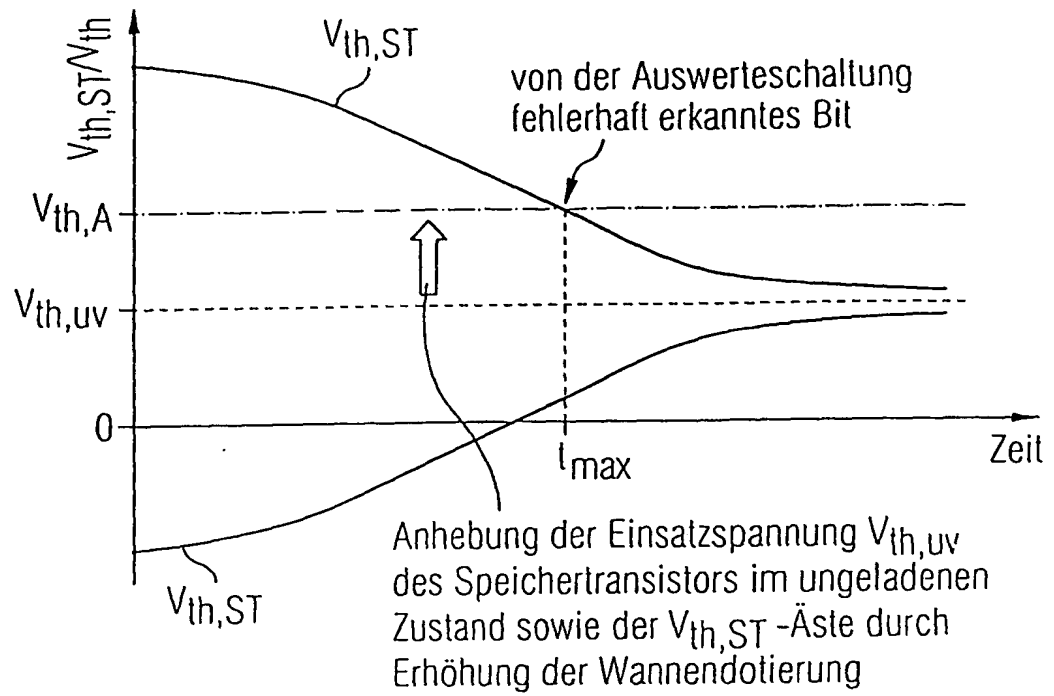


FIG 4B

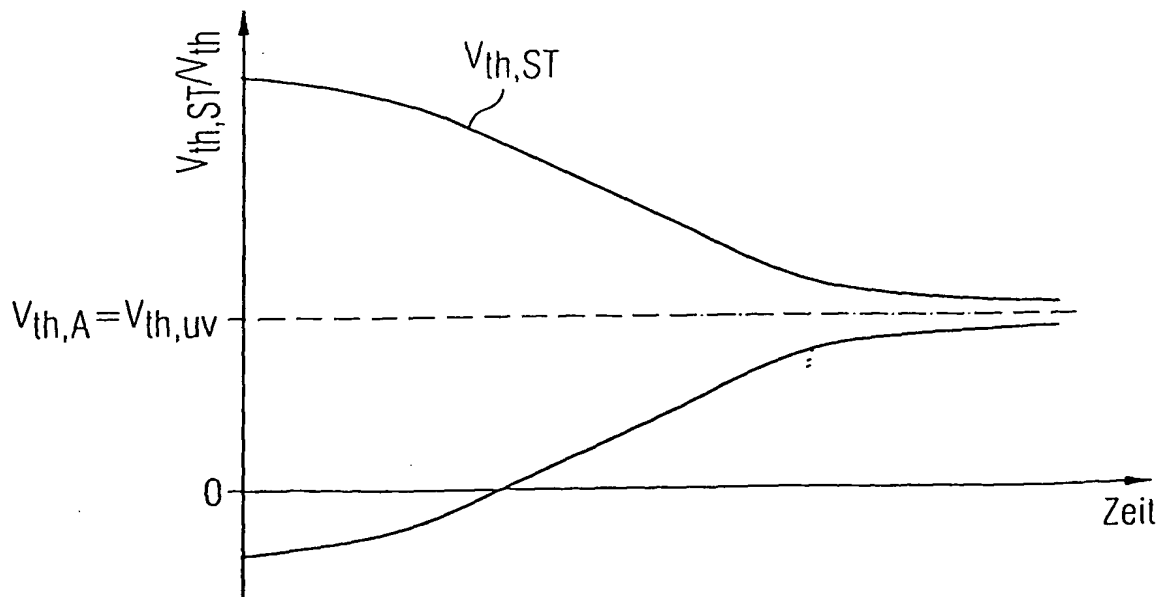


FIG 5A

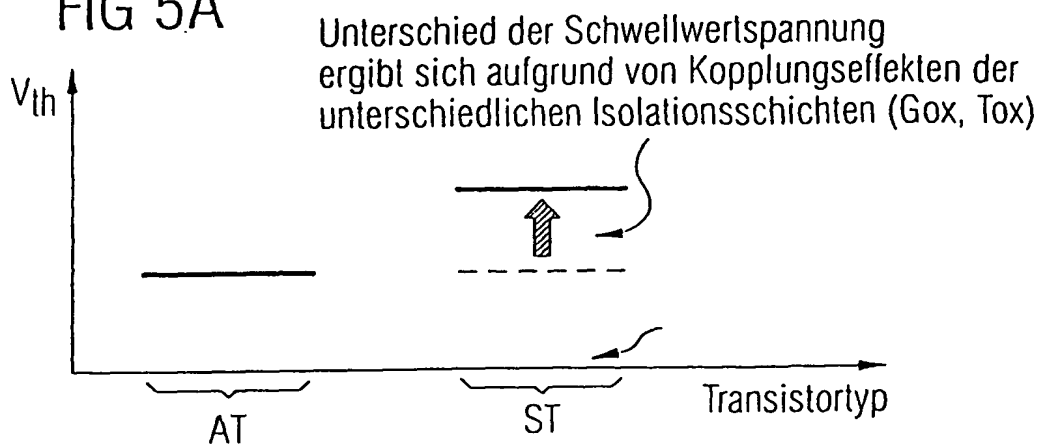


FIG 5B

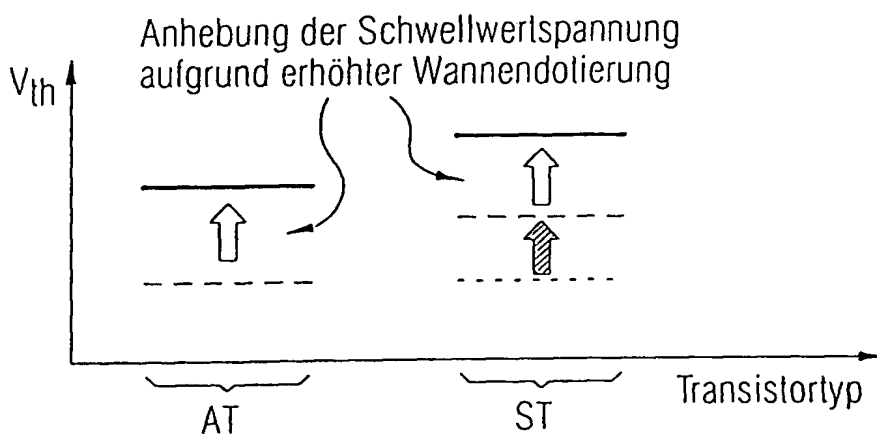
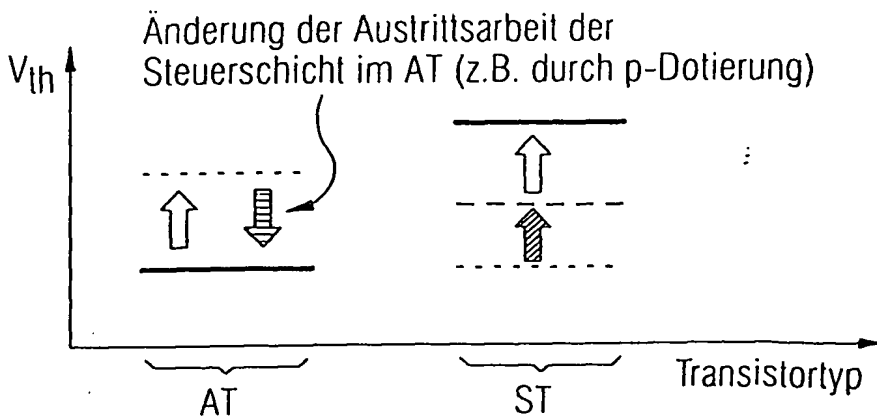


FIG 5C



(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG(19) Weltorganisation für geistiges Eigentum  
Internationales Büro(43) Internationales Veröffentlichungsdatum  
24. Juli 2003 (24.07.2003)

PCT

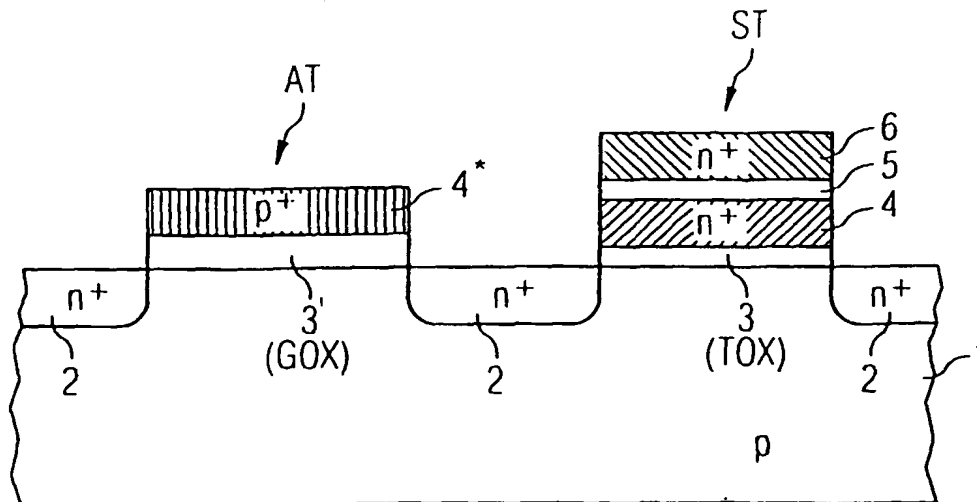
(10) Internationale Veröffentlichungsnummer  
WO 03/061011 A3

- (51) Internationale Patentklassifikation<sup>7</sup>: H01L 27/115, 21/8246, 27/105, 21/8247
- (21) Internationales Aktenzeichen: PCT/DE02/04521
- (22) Internationales Anmeldedatum:  
10. Dezember 2002 (10.12.2002)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:  
102 01 303.9 15. Januar 2002 (15.01.2002) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St. Martin-Strasse 53, 81669 München (DE).
- (72) Erfinder; und
- (75) Erfinder/Anmelder (nur für US): SCHULER, Franz [DE/BE]; Lombaardenstraat 51, B-3000 Leuven (BE). TEMPEL, Georg [DE/BE]; Maurice Despretlaan 9, B-1933 Sterrebeek (BE).
- (74) Anwalt: KINDERMANN, Peter; Postfach 1330, 85627 Grasbrunn (DE).
- (81) Bestimmungsstaaten (national): CN, JP, KR, US.
- (84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR).
- Veröffentlicht:  
— mit internationalem Recherchenbericht

[Fortsetzung auf der nächsten Seite]

(54) Title: NON-VOLATILE TWO-TRANSISTOR SEMICONDUCTOR MEMORY CELL

(54) Bezeichnung: NICHTFLÜCHTIGE ZWEITRANSISTOR-HALBLEITERSPEICHERZELLE



(57) Abstract: The invention relates to a non-volatile two-transistor semiconductor memory cell and to a method for producing the same. In a substrate (1), source and drain regions (2) for a selection transistor (AT) and a memory transistor (ST) are configured. Said memory transistor (ST) has a first insulating layer (3), a charge storage layer (4), a second insulating layer (5) and a memory transistor control layer (6). The selection transistor (AT) comprises a first insulating layer (3') and a selection transistor control layer (4\*). The use of different materials for the charge storage layer (4) and the selection transistor control layer (4\*) allows to substantially improve the charge maintaining properties of the memory cell while maintaining constant electrical properties by adapting the substrate doping.

(57) Zusammenfassung: Die Erfindung betrifft eine nichtflüchtige Zweittransistor-Halbleiterspeicherzelle sowie ein zugehöriges Herstellungsverfahren, wobei in einem Substrat (1) Source- und Draingebiete (2) für einen Auswahltransistor (AT) und einen Speichertransistor (ST) ausgebildet sind. Der Speichertransistor (ST) weist eine erste Isolationsschicht (3), eine

[Fortsetzung auf der nächsten Seite]





— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

**(88) Veröffentlichungsdatum des internationalen**

**Recherchenberichts:**

30. Oktober 2003

Ladungsspeicherschicht (4), eine zweite Isolationsschicht (5) und eine Speichertransistor-Steuerschicht (6) auf, während der Auswahltransistor (AT) eine erste Isolationsschicht (3') und eine Auswahltransistor-Steuerschicht (4\*) besitzt. Durch die Verwendung unterschiedlicher Materialien für die Ladungsspeicherschicht (4) und die Auswahltransistor-Steuerschicht (4\*) lassen sich die Ladungshalteeigenschaften der Speicherzelle durch Anpassung der Substratdotierung bei gleich bleibenden elektrischen Eigenschaften wesentlich verbessern.

## INTERNATIONAL SEARCH REPORT

In ☐ national Application NoPCT/DE ☐ 4521

## A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L27/115 H01L21/8246 H01L27/105 H01L21/8247

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 102 319 A (ST MICROELECTRONICS SRL) 23 May 2001 (2001-05-23)	1,2,4-7
A	the whole document	3,8-16
A	US 6 316 317 B1 (KAWATA MASATO ET AL) 13 November 2001 (2001-11-13)	1,8
A	PATENT ABSTRACTS OF JAPAN vol. 0154, no. 23 (E-1127), 28 October 1991 (1991-10-28) & JP 3 177065 A (KAWASAKI STEEL CORP), 1 August 1991 (1991-08-01) abstract	1,8

☐ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

## \* Special categories of cited documents:

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- \*&\* document member of the same patent family

Date of the actual completion of the international search

18 August 2003

Date of mailing of the international search report

22/08/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.  
Fax: (+31-70) 340-3016

Authorized officer

Albrecht, C.

# INTERNATIONAL SEARCH REPORT

In Application No  
PCT/DE 04521

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 1102319 A	23-05-2001	EP 1102319 A1 US 6501147 B1	23-05-2001 31-12-2002
US 6316317 B1	13-11-2001	JP 2000269361 A	29-09-2000
JP 3177065 A	01-08-1991	NONE	

# INTERNATIONALER RECHERCHENBERICHT

Aktenzeichen  
PCT/DE 04521

## A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 H01L27/115 H01L21/8246 H01L27/105 H01L21/8247

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 1 102 319 A (ST MICROELECTRONICS SRL) 23. Mai 2001 (2001-05-23)	1,2,4-7
A	das ganze Dokument	3,8-16
A	US 6 316 317 B1 (KAWATA MASATO ET AL) 13. November 2001 (2001-11-13)	1,8
A	das ganze Dokument	
A	PATENT ABSTRACTS OF JAPAN Bd. 0154, Nr. 23 (E-1127), 28. Oktober 1991 (1991-10-28) & JP 3 177065 A (KAWASAKI STEEL CORP), 1. August 1991 (1991-08-01) Zusammenfassung	1,8

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

\*A\* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

\*E\* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

\*L\* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

\*O\* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

\*P\* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

\*T\* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

\*X\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

\*Y\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

\*G\* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

18. August 2003

Absendedatum des internationalen Recherchenberichts

22/08/2003

Name und Postanschrift der Internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Albrecht, C.

# INTERNATIONALER RECHERCHENBERICHT

In :s Aktenzeichen  
PCT/DE 4521

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
EP 1102319	A	23-05-2001	EP	1102319 A1	23-05-2001
			US	6501147 B1	31-12-2002
US 6316317	B1	13-11-2001	JP	2000269361 A	29-09-2000
JP 3177065	A	01-08-1991	KEINE		